

**ISPITNA PITANJA IZ DIGITALNE INTEGRISANE ELEKTRONIKE**

1. Nacrtati rešenje za nesimetrično kolo za kašnjenje/integraciju kod koga je vreme punjenja kondenzatora duže od vremena pražnjenja. Kako izgleda izlazni signal kada se na ulaz dovede pravougaoni impuls? Posle koliko vremena smatramo da se kondenzator potpuno napunio/ispraznio?
2. Nacrtati rešenje za nesimetrično kolo za kašnjenje/integraciju kod koga je vreme punjenja kondenzatora kraće od vremena pražnjenja. Kako izgleda izlazni signal kada se na ulaz dovede pravougaoni impuls? Posle koliko vremena smatramo da se kondenzator potpuno napunio/ispraznio?
3. Nacrtati kondenzatorsku pumpu za udvajanje napona.
4. Nacrtati kondenzatorsku pumpu za promenu polariteta napona.
5. Nacrtati rešenje za *electronic shutdown* napajanja sa bipolarnim tranzistorima.
6. Nacrtati rešenje za *electronic shutdown* napajanja sa MOSFET tranzistorima.
7. Nacrtati rešenje za zaštitu od pogrešnog polariteta napona sa bipolarnim tranzistorom.
8. Nacrtati rešenje za zaštitu od pogrešnog polariteta napona sa MOSFET tranzistorom.
9. Nacrtati EXOR kolo realizovano samo sa dvoulaznim NAND kolima.
10. Nacrtati EXOR kolo realizovano samo sa dvoulaznim NOR kolima.
11. Nacrtati EXNOR kolo realizovano samo sa dvoulaznim NAND kolima.
12. Nacrtati EXNOR kolo realizovano samo sa dvoulaznim NOR kolima.
13. Nacrtati šemu invertora u HC tehnologiji sa zaštitnim i parazitnim diodama.
14. Nacrtati šemu dvoulaznog NOR kola u HC tehnologiji. Nije potrebno crtati zaštitne i parazitne diode.
15. Nacrtati šemu dvoulaznog NAND kola u HC tehnologiji. Nije potrebno crtati zaštitne i parazitne diode.

16. Koliki je maksimalni napon logičke nule, a koliki minimalni napon logičke jedinice na ulazu u logičko kolo u HC tehnologiji? Koji je preporučeni radni opseg napona napajanja? Šta radimo sa neiskorišćenim ulazima u neko logičko kolo?
17. Realizovati *open drain* invertor koristeći bafer sa tri stanja kod koga je *enable* aktivno kao logičko 1. Označiti ulaz sa A, a izlaz sa B.
18. Realizovati *open drain* bafer koristeći bafer sa tri stanja kod koga je *enable* aktivno kao logičko 0. Označiti ulaz sa A, a izlaz sa B.
19. Nacrtati šemu sklopa koji ima dve ulazne linije A i B, jednu izlaznu liniju C i jednu kontrolnu liniju E. Potrebno je da bude  $C=A$  kada je  $E=1$ , a  $C=B$  kada je  $E=0$ . Koristiti bafere sa tri stanja kod kojih je *enable* aktivno kao 1 i invertore.
20. Nacrtati šemu sklopa koji ima dve ulazne linije A i B, jednu izlaznu liniju C i jednu kontrolnu liniju E. Potrebno je da bude  $C=B$  kada je  $E=1$ , a  $C=A$  kada je  $E=0$ . Koristiti bafere sa tri stanja kod kojih je *enable* aktivno kao 0 i invertore.
21. Nacrtati šemu sklopa koji ima dve ulazne linije A i B, jednu izlaznu liniju C i jednu kontrolnu liniju E. Potrebno je da bude  $C=A$  kada je  $E=1$ , a  $C=B$  kada je  $E=0$ . Koristiti bafere sa tri stanja kod kojih je *enable* aktivno kao 0 i kod kojih je *enable* aktivno kao 1.
22. Nacrtati šemu sklopa koji ima dve ulazne linije A i B, jednu izlaznu liniju C i jednu kontrolnu liniju E. Potrebno je da bude  $C=B$  kada je  $E=1$ , a  $C=A$  kada je  $E=0$ . Koristiti bafere sa tri stanja kod kojih je *enable* aktivno kao 0 i kod kojih je *enable* aktivno kao 1.
23. Nacrtati šemu sklopa koji ima dve ulazne linije A i B, jednu izlaznu liniju C i jednu kontrolnu liniju CNTRL. Potrebno je da bude  $C=A$  kada je  $CNTRL=1$ , a  $C=B$  kada je  $CNTRL=0$ . Koristiti dvoulazna NAND kola.
24. Nacrtati šemu sklopa koji ima dve ulazne linije A i B, jednu izlaznu liniju C i jednu kontrolnu liniju CNTRL. Potrebno je da bude  $C=B$  kada je  $CNTRL=1$ , a  $C=A$  kada je  $CNTRL=0$ . Koristiti dvoulazna NAND kola.
25. U *wired-or* logici realizovati funkciju  $C = /A \cdot B$ . Koristiti bafere sa tri stanja kod kojih je *enable* aktivno kao 0 i kod kojih je *enable* aktivno kao 1.
26. U *wired-or* logici realizovati funkciju  $C = A \cdot /B$ . Koristiti bafere sa tri stanja kod kojih je *enable* aktivno kao 0 i kod kojih je *enable* aktivno kao 1.
27. U *wired-or* logici realizovati funkciju  $C = /A \cdot /B$ . Koristiti bafere sa tri stanja kod kojih je *enable* aktivno kao 0 i kod kojih je *enable* aktivno kao 1.
28. U *wired-or* logici realizovati funkciju  $C = A \cdot B$ . Koristiti bafere sa tri stanja kod kojih je *enable* aktivno kao 0 i kod kojih je *enable* aktivno kao 1.

29. Realizovati šmit triger bafer sa dva invertora i dva otpornika. Izračunati veličinu histereze ako je  $V_{dd}=5V$ , ulazni otpornik  $R_1=10K$ , a reakcijski otpornik  $R_2=50K$ . Predpostaviti da inverter menja logičko stanje pri  $0.5V_{dd}$ .
30. Nacrtati rešenje za diferenciranje usponske ivice signala koristeći RC liniju za kašnjenje. Nacrtati talasne oblike signala.
31. Nacrtati rešenje za diferenciranje opadajuće ivice signala koristeći RC liniju za kašnjenje. Nacrtati talasne oblike signala.
32. Nacrtati rešenje za diferenciranje i usponske i opadajuće ivice signala koristeći RC liniju za kašnjenje. Nacrtati talasne oblike signala.
33. Nacrtati RC oscilator sa 2 invertora. Pasivne elemente označiti sa  $R_1$ ,  $R_2$  i  $C$ . Kakav je relativan odnos  $R_1$  i  $R_2$ ? Čime je definisana vremenska konstanta  $\tau$ ? Koji od pasivnih elemenata bi mogli izbaciti da ne postoje zaštitne diode na ulazu u inverter?
34. Nacrtati RC oscilator sa 3 invertora. Pasivne elemente označiti sa  $R_1$ ,  $R_2$  i  $C$ . Kakav je relativan odnos  $R_1$  i  $R_2$ ? Čime je definisana vremenska konstanta  $\tau$ ? Koji od pasivnih elemenata bi mogli izbaciti da ne postoje zaštitne diode na ulazu u inverter?
35. Nacrtati RC oscilator sa šmit triggerom. Od čega sve zavisi učestanost oscilovanja i kako?
36. Nacrtati kvarcni oscilator sa jednim invertorom. Koji je red veličine pasivnih elemenata? Da li ovaj oscilator osciluje na serijskoj ili paralelnoj rezonantnoj učestanosti?
37. Nacrtati kvarcni oscilator sa jednim invertorom koji osciluje na trećem harmoniku. Koji je kriterijum za određivanje vrednosti pasivnih elemenata?
38. Realizovati RESET kolo sa diodom, dva otpornika i elektrolitskim kondenzatorom. Objasniti ulogu diode.
39. Nacrtati SR flip flop sa NI kolima i RC elementima za usporeno prebacivanje koji je imun na kratkotrajne smetnje.
40. Nacrtati SR flip flop sa NILI kolima i RC elementima za usporeno prebacivanje koji je imun na kratkotrajne smetnje.
41. Nacrtati kolo za dibaunsing sa SR flip flopom realizovanim sa NI kolima.
42. Nacrtati kolo za dibaunsing sa SR flip flopom realizovanim sa NILI kolima.

43. Nacrtati monostabilni multivibrator. Na triger ulaz se dovode uzani impulsi u razmaku od 2ms. Nacrtati signale na izlazu restartujućeg i nerestartujućeg multivibratora ako njegovo kvazistabilno stanje traje 3ms. Čime je određeno trajanje kvazistabilnog stanja, odnosno kolika je vremenska konstanta  $\tau$  izražena preko R i C?
44. Nacrtati kako možemo obezbediti da restartujući monostabilni multivibrator sa dva triger ulaza koji reaguju na različite ivice trigera radi kao nerestartujući monostabilni multivibrator koji okida na usponsku ivicu trigera..
45. Nacrtati kako možemo obezbediti da restartujući monostabilni multivibrator sa dva triger ulaza koji reaguju na različite ivice trigera radi kao nerestartujući monostabilni multivibrator koji okida na opadajuću ivicu trigera.
46. Nacrtati *watch dog timer* sa 2 monostabilna multivibratora koji detektuje i izostanak i suviše često pojavljivanje impulsa na svom ulazu.
47. Nacrtati šemu gde se D flip flop koristi kao invertor. Označiti šta je ulaz, a šta izlaz ovako napravljenog invertora.
48. Nacrtati šemu gde se D flip flop koristi kao monostabilni multivibrator. Na D ulaz dovesti 0. Obezbediti da vreme oporavka bude što kraće. Da li je ovo rešenje restartujućeg ili nerestartujućeg monostabilnog multivibratora?
49. Nacrtati šemu gde se D flip flop koristi kao monostabilni multivibrator. Na D ulaz dovesti 1. Obezbediti da vreme oporavka bude što kraće. Da li je ovo rešenje restartujućeg ili nerestartujućeg monostabilnog multivibratora?
50. Nacrtati četvorobitni asinhroni binarni brojač unapred sa D flip flopovima koji okida na usponsku ivicu spoljnog CLK signala. Nacrtati talasne oblike.
51. Nacrtati četvorobitni asinhroni binarni brojač unapred sa D flip flopovima koji okida na opadajuću ivicu spoljnog CLK signala. Nacrtati talasne oblike.
52. Nacrtati četvorobitni asinhroni binarni brojač unazad sa D flip flopovima koji okida na usponsku ivicu spoljnog CLK signala. Nacrtati talasne oblike.
53. Nacrtati četvorobitni asinhroni binarni brojač unazad sa D flip flopovima koji okida na opadajuću ivicu spoljnog CLK signala. Nacrtati talasne oblike.
54. Na raspolaganju su dva 4-bitna asinhrona binarna brojača unapred kod kojih je aktivna uzlazna ivica CLK signala i dodatna logička kola po izboru. Napraviti 8-bitni asinhroni binarni brojač unapred. Brojače nacrtati kao blokove sa CLK ulazima i izlazima Q0, Q1, Q2, Q3.
55. Nacrtati šemu brojača koji deli sa 1.5 i talasne oblike. Odnos signal/pauza *clock* signala je 1:1.

- 56.** Kod četvorobitnog binarnog asinhronog brojača unapred detektovati stanje 5. Voditi računa o gličevima. Brojač nacrtati kao blok sa CLK ulazom i izlazima Q0, Q1, Q2, Q3. Aktivna je uzlazna ivica CLK signala.
- 57.** Kod četvorobitnog binarnog asinhronog brojača unapred detektovati stanje 5. Voditi računa o gličevima. Brojač nacrtati kao blok sa CLK ulazom i izlazima Q0, Q1, Q2, Q3. Aktivna je opadajuća ivica CLK signala.
- 58.** Kod četvorobitnog binarnog asinhronog brojača unapred detektovati stanje 10. Voditi računa o gličevima. Brojač nacrtati kao blok sa CLK ulazom i izlazima Q0, Q1, Q2, Q3. Aktivna je uzlazna ivica CLK signala.
- 59.** Kod četvorobitnog binarnog asinhronog brojača unapred detektovati stanje 10. Voditi računa o gličevima. Brojač nacrtati kao blok sa CLK ulazom i izlazima Q0, Q1, Q2, Q3. Aktivna je opadajuća ivica CLK signala.
- 60.** Nacrtati rešenje monostabilnog multivibratora realizovanog sa digitalnim komponentama (FF, brojac,...), a bez analogne RC linije za kašnjenje. Da li je ovo rešenje restartujućeg ili nerestartujućeg monostabilnog multivibratora?
- 61.** Nacrtati kolo za dibaunsing (digitalni filter) sa brojačima. Nacrtati talasne oblike ulazni signal/izlazni signal.
- 62.** Nacrtati četvorobitni pomerački registar tipa SIPO (serijski ulaz paralelni izlaz) realizovan sa D flip flopovima.
- 63.** Nacrtati digitalnu liniju za kašnjenje koja kasni signal za 2 do 3 perida nekog sistemskog takta i talasne oblike (takt, ulazni signal, izlazni signal). Upotrebljeno kolo crtati kao blok. Naznačiti tip kola, ulaze i izlaze.
- 64.** Nacrtati rešenje monostabilnog multivibratora realizovanog sa digitalnim komponentima (FF, SIPO šift registar,...), a bez analogne RC linije za kašnjenje.
- 65.** Nacrtati kolo za dibaunsing (digitalni filter) sa SIPO šift registrima.
- 66.** Nacrtati jednobitni registar i jednobitni leč.
- 67.** Nacrtati dvobitni pomerački registar tipa PISO (paralelni ulaz serijski izlaz) realizovan sa D flip flopovima.
- 68.** Na raspolaganju su dva 8-bitna pomeračka registra tipa PISO (74HC165). Realizovati 16-bitni pomerački registar tipa PISO.
- 69.** Kako sa dekodeom 74HC138 obezbediti da se impulsi sa jedne linije, selektivno (adresabilno) usmere na jednu od osam različitih linija.

70. Kako sa dekodrom 74HC138 obezbediti da se impulsi sa jedne linije, selektivno (adresabilno) usmere na jednu od osam različitih linija i da se pri tome ulazni signal invertuje.
71. Nacrtati dekodera adresa za adresne linije A15,A14,A13,A12 primenom dva dekodera jedan od osam, 74HC138.
72. Sa dva D flip flopa i logičkim kolima napraviti dvobitni sinhroni binarni brojač.
73. Sa dva četvorobitna binarna sinhrona brojača napraviti brojač koji broji od 0 do 255.
74. Sa binarnim četvorobitnim programabilnim brojačem napraviti brojač koji deli sa 3. Napisati tablicu stanja brojača.
75. Sa binarnim četvorobitnim programabilnim brojačem napraviti brojač koji deli sa 4. Napisati tablicu stanja brojača.
76. Sa binarnim četvorobitnim programabilnim brojačem napraviti brojač koji deli sa 5. Napisati tablicu stanja brojača.
77. Objasniti funkciju signala RxD, TxD, CTS, RTS, DSR, DTR kod RS232C protokola. Za svaki signal naznačiti da li je ulaz ili izlaz u slučaju kada je u pitanju DTE (*Data Terminal Equipment*).
78. Nacrtati šemu povezivanja dva DTE (*Data Terminal Equipment*) uređaja po RS232C standardu sa sedmožilnim kablom (*Null Modem Interface*). Pri crtanju koristiti imena signala (RxD, TxD, DTR, SGND, DSR, RTS, CTS). Nije potrebno označiti poziciju signala na konektorima.
79. Dva DTE (*Data Terminal Equipment*) uređaja su, kablom, međusobno povezana po RS232C standardu. Za kontrolu protoka podataka između ova dva uređaja se koristi XON/XOFF protokol. Nacrtati električnu šemu kabla sa minimalnim brojem provodnika. Pri crtanju koristiti imena signala. Nije potrebno označiti poziciju signala na konektorima.
80. Sa dva osmobarbitna pomeračka registra tipa PISO (paralelni ulaz serijski izlaz) realizovati sklop za slanje asinhronih serijskih podataka u formi START bit, 8 DATA bita, STOP bit.
81. Koliko je maksimalno dozvoljeno odstupanje frekvencije od nominalne za slučaj asinhronog serijskog prenosa podataka u formatu START bit, 8 DATA bita, STOP bit? Objasniti zašto.

82. Kod asinhronog serijskog prenosa podataka, pri brzini od 9600b/s vreme prenosa jednog bita je  $104\mu\text{s}$ . Kao prijemnik se koristi UART (univerzalni asinhroni prijemnik predajnik). Koliko je maksimalno dozvoljeno vreme da se primljeni bajt očita, a da se ne rizikuje da dodje do *OVERRUN ERROR*? Objasniti zbog čega. Format podataka je start bit, 8 bita podataka, stop bit.
83. Ako je pri asinhronoj RS232 komunikaciji linija na logičkoj nuli duže od vremena potrebnog da se prenesu dva podatka, kaže se da imamo *BREAK* na liniji. Kako možemo generisati *BREAK*? Brzina prenosa je 9600b/s. UART nema mogućnost da automatski generiše *BREAK*. Kako na prijemnoj strani, nezavisno od UARTA, možemo detektovati *BREAK* i iskoristiti za reset prijemne strane (daljinski reset)?
84. Nacrtati spregu i objasniti način rada kada je jedna primarna stanica povezana sa dve sekundarne stanice po RS422 protokolu. Da li je na HW nivou ovo *full-duplex* ili *half-duplex* protokol?
85. Treba obezbediti *half-duplex* vezu dva uređaja preko RS232 interfejsa i pri tome ih galvanski odvojiti. Za galvansko razdvajanje koristiti dvostruki optokapler (dva optokaplera u jednom kućištu) da bi se povećala brzina prenosa. Na prijemnoj strani, kao izvore napona koristiti DTR (+V) i RTS (-V). Obezbediti zaštitu od pogrešnog polariteta napona koji je moguć pre nego što se inicijalizuje UART na prijemnoj strani. Nacrtati rešenje.
86. Nacrtati spregu i objasniti način rada kada je jedna primarna stanica povezana sa dve sekundarne stanice po RS485 protokolu. Da li je na HW nivou ovo *full-duplex* ili *half-duplex* protokol?
87. Nacrtati vremenske dijagrame *DATA*, *STROBE* i *ACK* signala kod paralelnog prenosa podataka između PC-a i štampača.
88. Objasniti ulogu *BUSY* signala kod paralelnog prenosa podataka između PC-a i štampača. Ko generiše ovaj signal i kada se postavlja na 1, a kada na 0? Koji problem može da se javi ako je prijemni bafer štampača suviše veliki?
89. Nacrtati DA konvertor sa R-2R mrežom.
90. Objasniti kako i zahvaljujući čemu je moguće povećati rezoluciju AD konvertora bez hardverskih izmena.